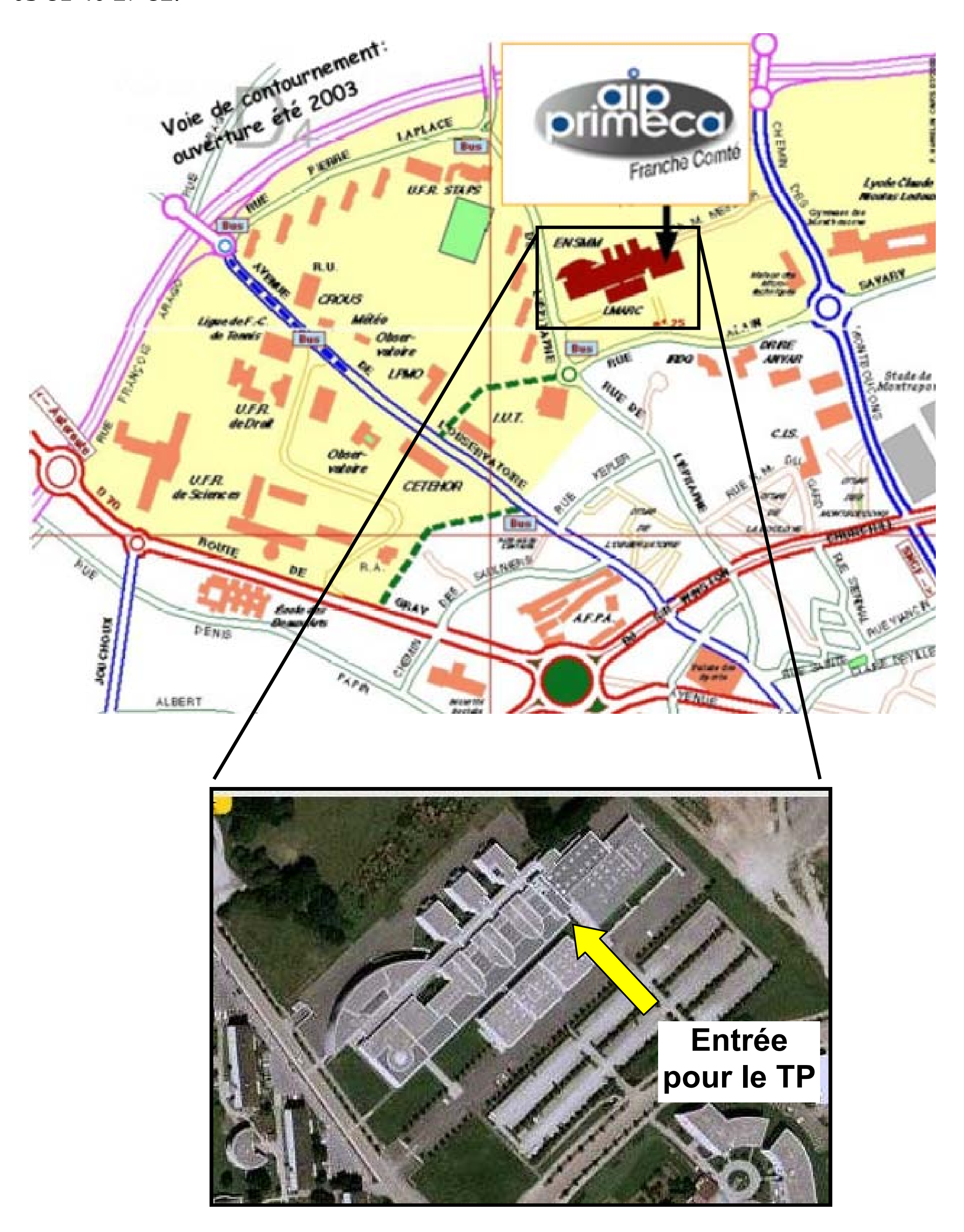
Travaux Pratiques N°1

VISITE DE L'INSTITUT DE PRODUCTIQUE
DECOUVERTE DES MATERIELS LIES A LA PRODUCTION
&
INTRODUCTION A LA LOGIQUE COMBINATOIRE ET SEQUENTIELLE

Le TP n°1 de découverte EEA se déroule à l'AIP (Atelier Inter-Etablissement) de Franche-Comté. L'AIP est situé à l'extrémité du bâtiment de l'ENSMM. Attention, 15 minutes sont nécessaires pour vous rendre sur place, à pied, depuis le bâtiment B ou depuis la propédeutique. Le rendez vous pour le TP se trouve dans le hall à l'entrée du bâtiment décrite par le plan ci-dessous (Attention, le bâtiment dispose de plusieurs entrées). Le numéro de téléphone de l'AIP de Franche-Comté est le 03 81 40 27 82.






I. Sensibilisation à la robotique

Il s'agit ici de voir ou d'entrevoir quelques objets technologiques génériques destinés à être installés sur un site de production industrielle. L'accent sera mis plus particulièrement sur les robots, qui sont des systèmes dont le pilotage requiert énormément d'électronique, des microprocesseurs jusqu'aux cartes de puissance alimentant les moteurs, et de logiciel de commande en temps réel. Les savoir-faire intervenant dans la mise au point du pilotage d'un robot relève donc typiquement de :

- l'électronique (analogique et numérique, forte et faible puissance)
- l'électrotechnique
- l'automatique
- l'informatique industrielle

c'est à dire les domaines de prédilection de l'EEA.

Dans ce contexte, tous les éléments d'électronique, d'électrotechnique, d'automatique, d'informatique sont mis au service du pilotage d'un système mécanique articulé : le robot. A cette occasion se rejoignent donc les techniques de l'EEA et celles de la mécanique, pour donner naissance à une discipline "mixte", désormais nommée la "*mécatronique*". (En regardant autour de soi, on s'aperçoit d'ailleurs aisément que de nos jours, les systèmes à l'origine parfois purement mécaniques sont quasiment tous associés à une "intelligence", un système de pilotage, comme c'est le cas, par exemple, des appareils électroménagers.

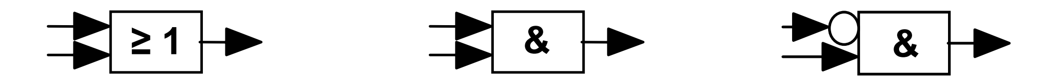
Après une Introduction générale ainsi qu'une présentation de l'Institut de Productique, vous pourrez voir un film concernant des applications de robotique industrielle. Vous pourrez, à l’occasion d’une visite de l’atelier de l'Institut de Productique, voir différents éléments s'y trouvant, en particulier les robots ADEPT et STÄUBLI, ainsi que le système de transfert SORMEL, une démonstration de la mise en œuvre d'une tâche robotisée sur l'un des deux robots précédemment cités et la mise en oeuvre de vision robotique industrielle

.

II. Logique câblée pneumatique

Au cours de cette partie, vous aborderez le câblage de différents circuits combinatoires et séquentiels en logique câblée pneumatique puis une simulation et vérification des circuits précédents sur logiciel.

En logique pneumatique, seulement certains opérateurs sont réalisables technologiquement. Ainsi dans le cadre de ce TP, nous ne disposerons que des trois opérateurs suivants :



Les autres opérateurs, bien que très utiles, ne sont pas réalisables directement. C'est le cas, par exemple, de l'opérateur NON (à une entrée, une sortie) et de l'opérateur OU-EXCLUSIF. C'est pourquoi la première partie nous permettra de concevoir un opérateur équivalent à l'opérateur NON mais en utilisant une cellule plus complexe. De même la seconde partie nous permettra de câbler l'opérateur OU-EXCLUSIF à l'aide des trois opérateurs élémentaires présentés ci-dessus.

1. Reconstitution de l'opérateur NON (sur SIMULAT ou maquette pneumatique)

Soit la cellule :

a
b
&
S

a - Etudiez sa table de vérité. Donnez l'expression de la sortie S en fonction des entrées a et b.
b - Qu'observez-vous si b = 1 ? Quel est le comportement de la cellule dans ce cas particulier ?

2. Etude de l'opérateur OU EXCLUSIF

Soit l'opérateur OU EXCLUSIF :

E1
E2
= 1
T

c - Donnez la table de vérité de cet opérateur lorsqu'il est muni de deux entrées E1 et E2 (simulation sur PC).
d - Quelle est son équation selon la première forme canonique (somme de produits) ?
e - Câblez l'équation obtenue après avoir dessiné son logigramme. Vérifiez la table de vérité précédente (par simulation ou sur maquette pneumatique).

3. Etude d'une mémoire (sur SIMULAT)

Soit l'équation de fonctionnement de la mémoire M suivante :

e
d
?
$M = e + \bar{d}.M$

où **e** est une entrée d'enclenchement (mise à 1 de M) et **d** une entrée de déclenchement (mise à 0 de M).
f - Dessinez le logigramme interne de cette mémoire.
g - Quelle est la table de vérité qui y est associée ? Câblez-la et vérifiez sa table de vérité.

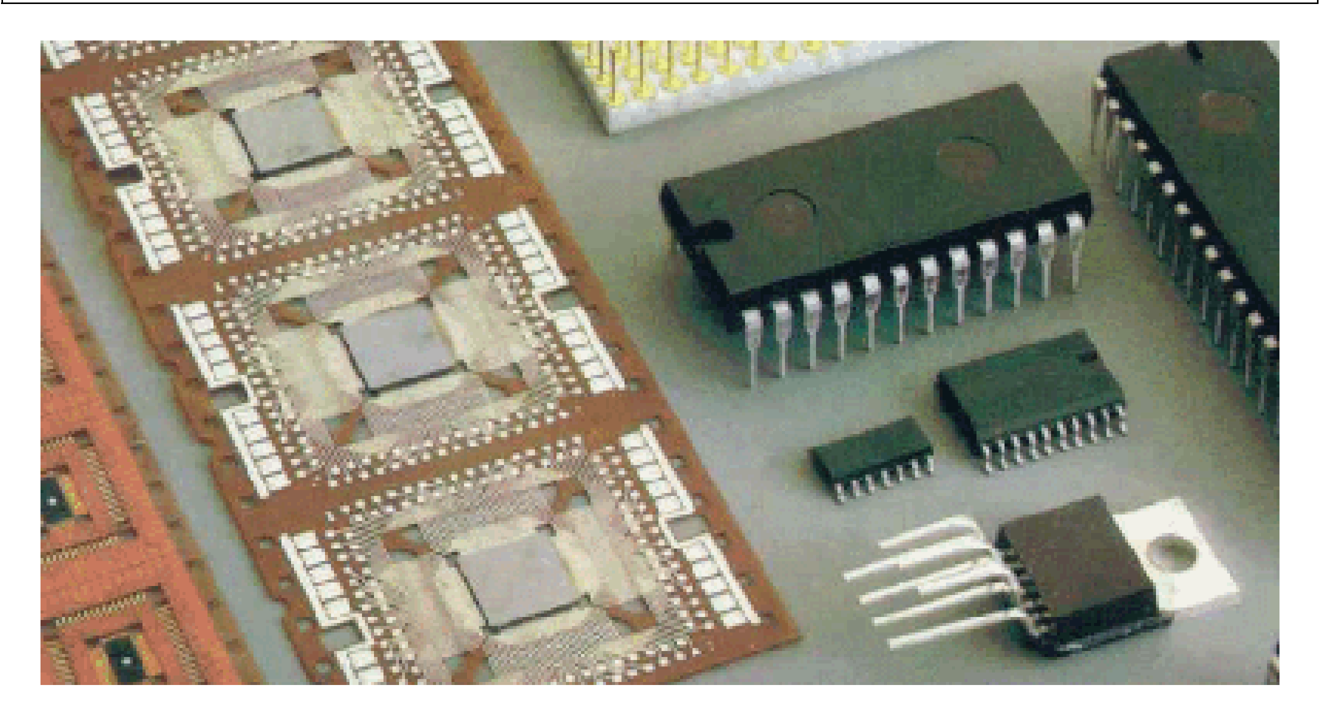
4. Etude d'une commande séquentielle (sur maquette pneumatique)

Soit la mémoire étudiée en 3). Servez-vous en pour commander la sortie d'un vérin double effet.
h - Quel effet néfaste remarquez-vous quand à la sécurité de ce type de commande ?

Proposez une solution qui y remédier.

Travaux Pratiques N°2 (bâtiment métrologie)

CARILLON ELECTRONIQUE

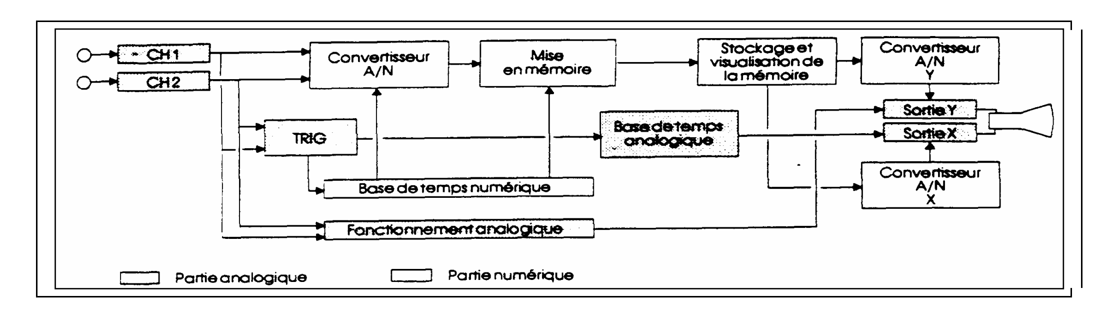


Le but de ce TP est l'utilisation d'un oscilloscope numérique et la mise en oeuvre de circuit logique à travers l'étude d'un carillon.

I GENERALITE SUR L'OSCILLOSCOPE

Principe de fonctionnement des oscilloscopes numériques

L'oscilloscope à mémoire numérique est de plus en plus utilisé pour stocker des signaux afin de les analyser ou de les reproduire graphiquement. C'est un appareil indispensable pour la visualisation de signaux non répétitifs (monocoups) ou de signaux lents (scintillements). D'autre part, la luminosité des oscilloscopes analogiques se dégrade dans les vitesses de balayage élevées si la fréquence de répétition est modérée. Le principe de fonctionnement des oscilloscopes numériques est basé sur la conversion analogique/numérique du signal d'entrée. Les données sont alors mises en mémoire avant de subir une conversion numérique/analogique pour la visualisation à l'écran.



Procédures d'échantillonnage

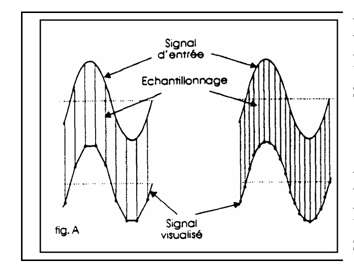
La valeur instantanée du signal est relevée à intervalles réguliers

Échantillonnage en temps réel (ou monocoup)
Les échantillons sont prélevés sur un seul balayage de la base de temps. Pour que ce signal soit reconstitué correctement, il est nécessaire de prélever au moins 10 points par période. La fréquence d'échantillonnage (Fe) doit de ce fait être au moins 10 fois supérieure à la fréquence du signal en entrée.
Exemple : Fe = 20 Méch/s (Méga-échantillons par sec.)

La fréquence du signal en entrée ne doit pas être supérieure à 2MHz pour être reproduit fidèlement.

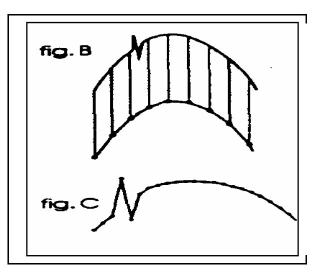
Échantillonnage en temps équivalent (ou suréchantillonnage), (ou répétitif)
Le signal est échantillonné sur plusieurs balayages à des instants différents. Cette méthode est nécessaire pour visualiser des signaux analogiques de fréquence élevée ou des signaux répétitifs. La bande passante en mode répétitif est définie par la bande passante analogique de l'oscilloscope.
Exemple : bande passante = 20 MHz
On pourra échantillonner un signal en mode répétitif d'une fréquence de 20 MHz.

Importance de la fréquence d'échantillonnage:



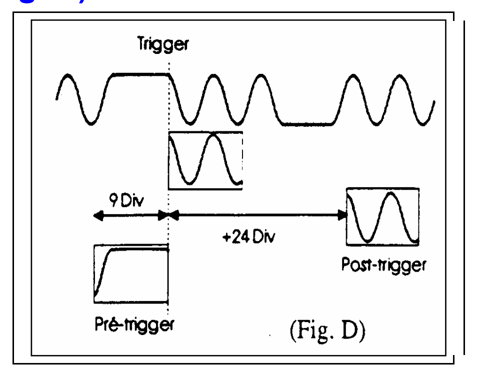
Dans le cas d'une fréquence d'échantillonnage trop faible, le signal visualisé est - soit déformé (fig. A) - soit imprécis (fig. B)

L'augmentation de la base de temps et de la fréquence d'échantillonnage permet d'approcher le signal réel (fig. C)



Fonctions Pré et Post déclenchement (Fig. D)

Le pré-déclenchement permet de visualiser les évènements précédant le déclenchement : ce dernier est calé dans la mémoire de l'oscilloscope. Le post-déclenchement permet de retarder la visualisation un certain temps après le point de déclenchement.



(Fig. D)

Mode rafraîchissement

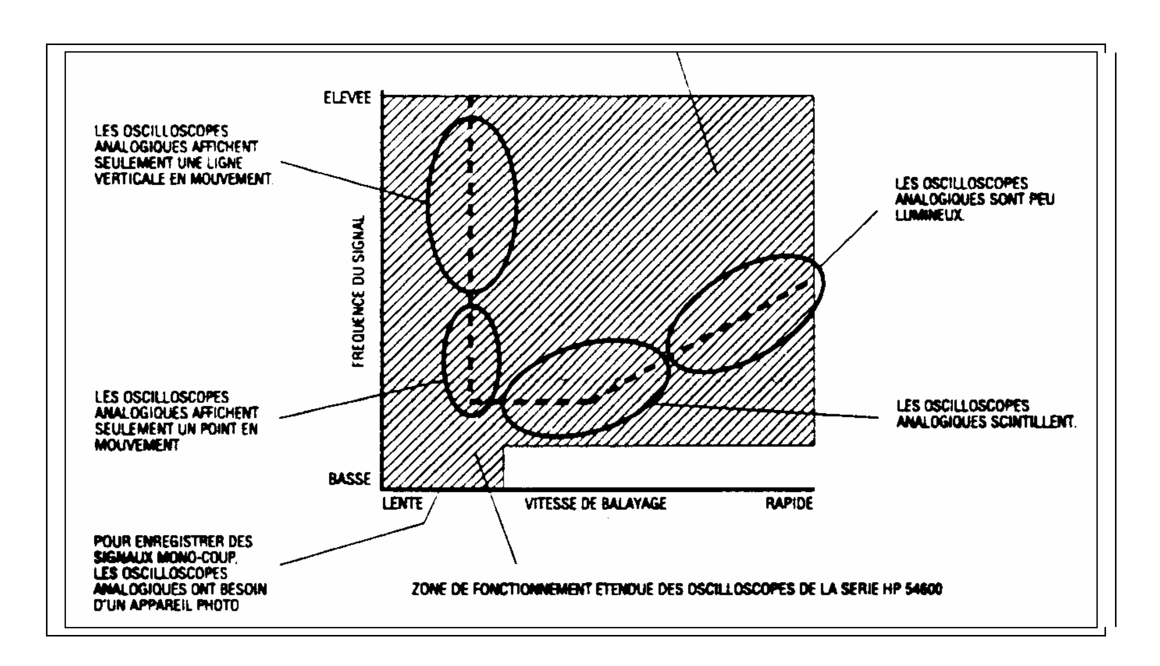
La mémoire est remise à jour à chaque période de la déviation.

Mode HOLD

Conservation du contenu de la mémoire associée à la voie de mesure sélectionnée.

Différences entre oscilloscope analogique, numérique/analogique et numérique

ANALOGIQUE	ANALOGIQUE/ NUMÉRIQUE	NUMÉRIQUE
➢ Visualisation réelle ➢ Résolution infinie ➢ Ne permet pas de mémoriser l'onde visualisée ➢ Pas de sortie papier ➢ Pré et Post déclenchement impossible ➢ Problème d'affichage pour les signaux lents ou non répétitifs	➢ Visualisation sur tube cathodique mais définition limitée ➢ Résolution horizontale fonction de la taille mémoire ➢ Résolution verticale fonction du convertisseur A/N ➢ Permet de travailler sur des signaux lents ➢ Sortie papier ➢ Pré et Post déclenchement	➢ Affiche sur moniteur vidéo au lieu d'un tube cathodique ➢ Balayage ligne ➢ Résolution de l'écran inférieure ➢ Résolution horizontale fonction de la taille mémoire ➢ Sortie papier ➢ Pré et Post déclenchement (temps négatif) ➢ Importante capacité de calcul ➢ Commande par ordinateur ➢ Automatisation des mesures



Les oscilloscopes de la série HP 54600 étendent la plage de fonctionnement utile des oscilloscopes analogiques.

II Généralités sur les circuits logiques

Circuits logiques

Les circuits que nous nous proposons d'étudier font partie de la grande famille des circuits dits "logiques". Ceux-ci sont caractérisés par le fait que leurs tensions d'entrée ou de sortie, voir même les deux, ne peuvent prendre que deux valeurs appelées niveaux logiques.

On définit les niveaux logiques (en logique dite "positive") :

- niveau bas : absence de tension → niveau 0 ou L (Low)
- niveau haut : présence de tension → niveau 1 ou H (High).

Table de vérité

Supposons un système à 3 entrées A, B, C et une sortie S. Si toutes les tensions sont binaires, on peut mettre sous forme de tableau les différentes combinaisons possibles pour les entrées ainsi que la valeur qui en résulte en sortie. Par exemple, le tableau ci-contre est appelé table de vérité du circuit considéré.

A	B	C	S
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

On l'interprète comme suit : exemple de la 6ème ligne : les entrées A et C sont au niveau haut, B au niveau bas, alors la sortie sera au niveau bas.
Cette table est caractéristique d'une fonction logique précise et il peut y avoir plusieurs solutions techniques pour l'obtenir. Elles sont théoriquement équivalentes.

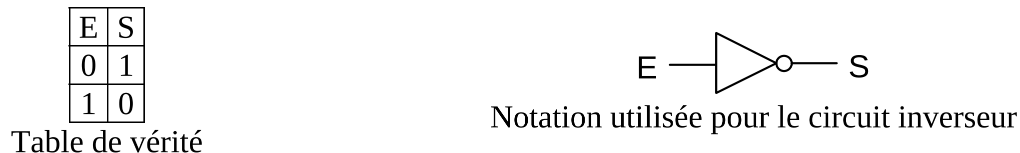
Circuits de logique combinatoire

Fonctions de base

Ces circuits sont ceux qui permettent de réaliser les opérations élémentaires de l'algèbre de Boole (calcul binaire) et, en les associant, de réaliser également des fonctions logiques complexes telles que : le multiplexage, l'addition, le décodage, l'affichage.

Circuit inverseur : puce 7404

il possède une seule entrée et une seule sortie



E	S
0	1
1	0

Table de vérité

Notation utilisée pour le circuit inverseur

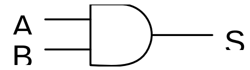
Il réalise l'opération logique d'inversion $S = \overline{E}$. Un symbole logique suivit d'un o indique que la sortie est inversée. C'est pourquoi on trouve le symbole o dans les symboles du NOR et du NAND (voir plus loin).

Circuit ET : (AND) puce 7408

Il réalise le produit logique S = AB

A	B	S
0	0	0
0	1	0
1	0	0
1	1	1

Table de vérité



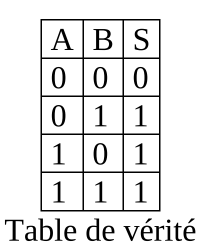
Symbole usuel du circuit AND (2 entrées)

Fonctionnement : sa sortie est au niveau haut si toutes ses entrées sont au niveau haut

- **Il faut que** toutes les entrées soient au niveau haut pour que la sortie soit maintenue au niveau haut**.**

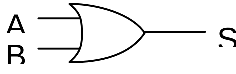
Circuit OU : (OR) puce 7432

Il réalise la somme logique S = A + B



A	B	S
0	0	0
0	1	1
1	0	1
1	1	1

Table de vérité



Symbole usuel du circuit OU (3 entrées)

Fonctionnement : sa sortie est au niveau bas si toutes ses entrées sont au niveau bas

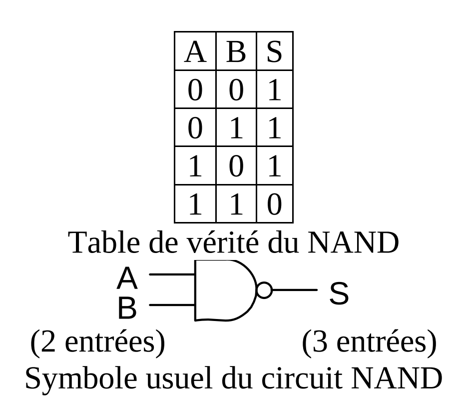
- **Il suffit que** l'une de ses entrées soit au niveau haut pour que la sortie soit maintenue au niveau haut.

Circuits fondamentaux pour le câblage

Deux types de circuits élémentaires sont à la base de beaucoup de réalisations de fonctions de logique combinatoire, que celles-ci soient réalisées par câblage ou sous forme intégrée : portes NAND et NOR. Il existe des circuits à 2, 3, 4, 5 ou 8 entrées et même plus.

Circuit NON-ET (NAND) puce 7400

le circuit NAND réalise le complément du produit logique ex: S = $\overline{AB}$



A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Table de vérité du NAND

(2 entrées) (3 entrées)

Symbole usuel du circuit NAND

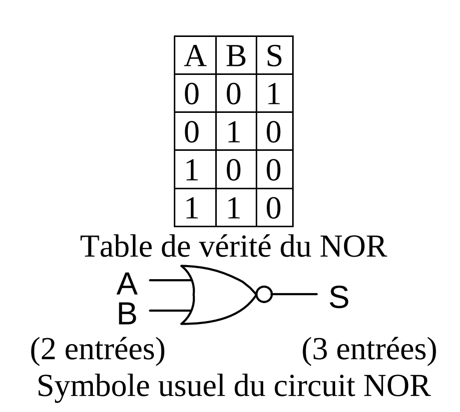
Fonctionnement: la sortie est au niveau bas lorsque toutes ses entrées sont au niveau haut

Conséquence :

- **Il faut que** toutes les entrées soient au niveau haut pour que la sortie soit maintenue au niveau bas**.**
- **Il suffit que** l'une seulement de ses entrées soit au niveau bas pour que la sortie soit maintenue au niveau haut**.**

Circuit NON-OU (NOR) puce 7402

le circuit NOR réalise le complément de la somme logique ex : $S = \overline{A + B}$



A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

Table de vérité du NOR

(2 entrées) (3 entrées)

Symbole usuel du circuit NOR

Fonctionnement : sa sortie est au niveau 1 si toutes ses entrées sont au niveau bas

Conséquence :
- **Il faut que** toutes les entrées soient au niveau bas pour que la sortie soit maintenue au niveau haut.
- **Il suffit que** l'une de ses entrées soit au niveau haut pour que la sortie soit maintenue au niveau bas.

Les méthodes les plus utilisées pour réaliser cette fonction lorsqu'on ne dispose pas du circuit intégré correspondant, consistent à utiliser des NAND ou des NOR.

Utilisation pratique des circuits logiques

Divers types de circuits de logique

Il existe actuellement deux familles prépondérantes de circuits logiques qui correspondent à deux techniques différentes de réalisation pratique (sous forme intégrée) des diverses fonctions de logique usuelles. Nous avons les circuits **TTL** (Transistor Transistor Logic) et les circuits **CMOS** (Complementary Metal Oxyd Serniconductor)

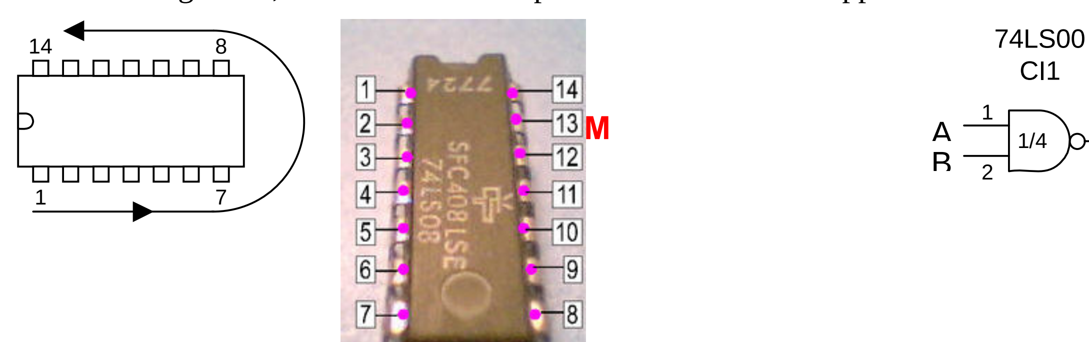
- Les circuits CMOS (exemple: 74HC516 en High CMOS ou 14516 en CMOS Standard) ont deux tensions d'alimentation V_{SS} et V_{DD}. En général Vss = 0 V et on peut choisir V_{DD} entre 3V à 15V. Pour certains circuits, V_{DD} peut même être élevée jusqu'à 18 V.
- Les circuits TTL (exemple 74**LS**112 en Low-power Schottky ou 74**F**112 en TTL Fast) ont les deux tensions d'alimentation : GND = 0V et Vcc = + 5V.

Dans la manipulation nous avons choisi V_{DD} = 5v, Vss = 0V.
Dans ce cas les niveaux logiques seront:
- 0 → 0V (L)
- 1 → 5V (H)

Remarque : On définit un troisième état dit "haute impédance" ou déconnecté. Il est noté Z. X représente un état indéterminé.

Brochage d'un circuit

Afin de réaliser la fonction logique désirée il est nécessaire de câbler un ou plusieurs circuits. Le circuit est en général un boîtier plastique noir et de connexions métalliques à la puce. Un ergot permet de repérer le sens du circuit et ainsi le numéro des broches. Il aussi possible d'indiquer sur le schéma de principe le numéro des broches (voir exemple d'une porte NAND). Il est donc impératif de consulter la documentation du circuit afin de garantir le bon fonctionnement et éviter une détérioration. En général, on lit le mode d'emploi avant d'utiliser un appareil.



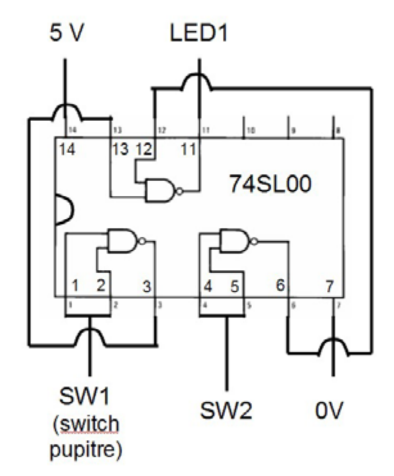
III Manipulation

Préparation

Lisez attentivement le sujet

Pour chaque question :

- Déterminer les résultats que vous pensez obtenir lors de la séance.
- Préparer les schémas de câblage en indiquant le numéro des broches sur le schéma.



Avant de commencer un-câblage de circuits logiques il est nécessaire de faire un **schéma clair** et complet des circuits logiques physiques (et non de principe) et des liaisons qui interviennent dans la fonction à réaliser. Il faut donc y **indiquer les numéros des broches** de connexion des différents CI physiques (Circuits Intégrés) et ne pas oublier les broches d'alimentation des CI.

Exemple de schéma à faire en préparation: fonction "OU" avec circuit 74LS00

Un travail bien préparé permet une meilleure compréhension du TP et également une meilleure rédaction. **Un compte rendu de travaux pratiques n'est pas seulement une suite de résultats mais comprend aussi des commentaires et des conclusions.**

Matériel

Pupitre de test électronique analogique et numérique, un oscilloscope, Circuits : 74LS00, maquette carillon.

Remarques importantes pour les TP de logique

Pendant le câblage il est nécessaire de **couper l'alimentation** et de repérer au fur et à mesure les connexions établies.

Pour éviter toute destruction ou détérioration des CI il importe

- de ne jamais dépasser une tension d'alimentation de 5,5 V pour les CI en TTL,
- de ne jamais appliquer des tensions négatives ni en entrée ni en alimentation (TTL et CMOS),
- de ne jamais porter à l'entrée d'un CI une tension supérieure à sa tension d'alimentation,
- de ne jamais forcer une sortie d'un CI (c'est-à-dire de ne jamais relier une sortie directement à la tension d'alimentation),
- de ne jamais retirer le CI de son support lorsqu'il est en fonctionnement,
- de prendre soin aux broches de connexions dont la rupture mécanique est très courante.

IV Carillon

4.1 Carte carillon

A partir de la fiche technique de la carte « carillon » repérer les divers composants de la carte réelle.

4.2 Réglage de période à l'oscilloscope.

Réglages des deux sondes (fiche 1)

- Brancher la sonde de la voie 1 sur le point de test pt2 (do).
- Appuyer sur le bouton autoscale
- relever l'oscillogramme obtenu.

Réglage de la période par curseur

- Régler les curseurs verticaux pour obtenir un temps de 3,82ms (fiche 2).
- Faire varier le potentiomètre P2 pour obtenir la fréquence du do de telle façon que deux fronts montants sucessifs du signal soient alignés avec les curseurs. Quelle est alors la fréquence du signal ?

Mesure automatique de la fréquence.

- Brancher la voie 1 sur le point de test pt3 (mi).
- mesurer automatiquement la fréquence du signal (fiche 3).
- Faire varier le potentiomètre P3 pour obtenir une fréquence de 329.7 (mi).
- Pour cette question uniquement, relier S2 à 5V. faire varier le potentiométre P3. Entre l'oscilloscope et l'oreille qui est le plus sensible à la variation de fréquence ?
- Brancher la voie 1 sur le point de test pt4 (sol).
- Faire varier le potentiomètre P4 pour obtenir une fréquence de 392Hz (sol).

Synchronisation

La fréquence de l'horloge (tempo) est trop basse pour la fonction autoscale.

- Brancher la voie 1 sur le point de test pt1 (tempo).
- Centrer le signal (page 12) et régler la sensibilité verticale à 2V/Div (fiche 4).
- Régler la base de temps à 100ms/Div (fiche 5).
- Synchroniser l'oscilloscope (fiche 6).
- Régler les curseurs verticaux à 300ms.

- Faire varier le potentiomètre P1 pour que les fronts montants soient alignés avec les curseurs.

Cohérence de phase.

- Brancher la sonde de la voie 1 sur le point de test pt2.
- Brancher la sonde de la voie 2 sur le point de test pt3.
- Synchroniser l'oscilloscope sur la voie 1.
- Synchroniser l'oscilloscope sur la voie 2.
- Utiliser la touche « *run/stop » à plusieurs reprises, conclusion ?*

4.3 Etude de portes logiques

Circuit NAND

- Relever expérimentalement la table de vérité d'un circuit NAND à deux entrées (circuit 74LS00) ; la fiche constructeur de ce composant est donnée en annexe 1. On utilisera pour cela les témoins logiques : un témoin est allumé lorsqu'il est relié à un point de potentiel au niveau haut et est éteint s'il est relié au niveau bas.

Circuit inverseur

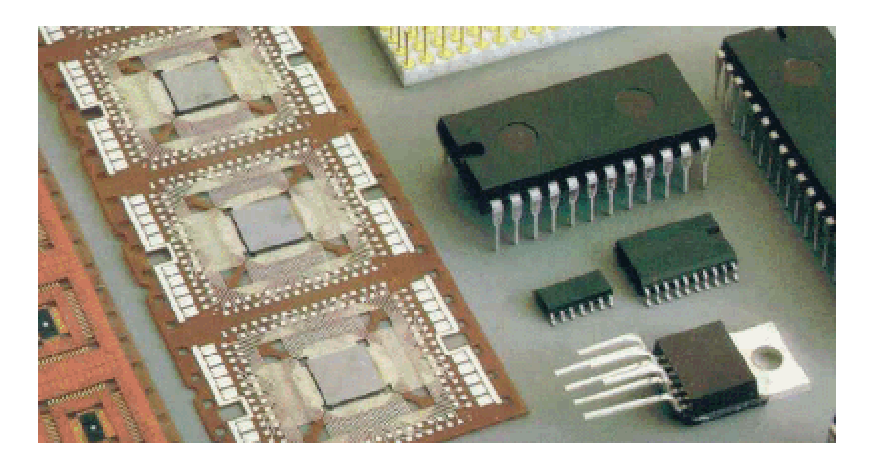
- Réaliser le circuit inverseur avec l'une des quatre méthodes indiquées précédemment.
- Vérifier chaque fois qu'il inverse bien le signal carré précédemment réglé.
- Appliquer un signal carré variant entre 0 et 5 V de fréquence voisine du kHz. (On utilisera la sortie TTL du pupitre qui est déjà réglée entre 0 et 5V)
- Relever les chronogrammes d'entrée et de sortie. Relever les valeurs de tension correspondant à l'état logique en entrée et en sortie.
- Pourquoi ne peut-on pas utiliser les témoins lumineux ?

4.4 Logique combinatoire

- Connecter directement les sorties du compteur c2, c1 et c0, aux entrées respectivement e2, e1 et e0.
- Visualiser le signal pt8
- Synchroniser l'oscilloscope sur ce signal complexe (fiche 7). Utiliser la touche « run/stop ».
- Utiliser la fonction FFT pour visualiser les composantes fréquentielles du signal (fiche 8).
- Réaliser le circuit combinatoire du TD sur le carillon.
- Pour les musciens régler à l'oreille, les P2, P3 et P4 pour obtenir une mélodie harmonieuse.

Travaux Pratiques N°3

CIRCUITS LOGIQUES SEQUENTIELS



Lors de cette séance, vous terminerez le TP "carillon" en étudiant son compteur binaire et vous réaliserez le séquenceur du "distributeur de boisson" vu en TD.

I Généralités/Rappels

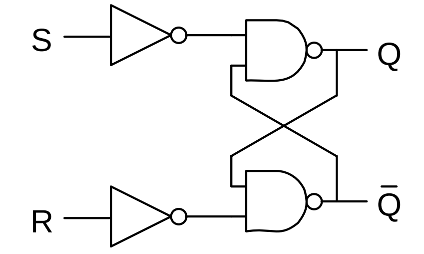
Bascules élémentaires

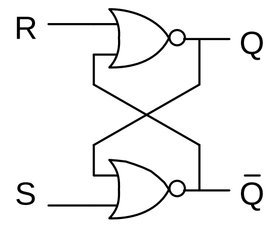
Les bascules sont les éléments de base de la logique séquentielle. On fait changer l'état de sortie par application d'un signal de commande. Elles sont utilisées pour réaliser les fonctions logiques de mémorisation (stockage de données binaires par registre mémoire), pour réaliser des décalages et pour effectuer des comptages de type binaire, décimal ou tout autre type de comptage en leur associant de la logique combinatoire.
Il existe :

1. La bascule (ou verrou) RS

Réalisée avec des portes NAND ou avec des portes NOR
Il y a deux entrées S = SET mise à 1 ou preset
R = RESET mise à 0 ou clear

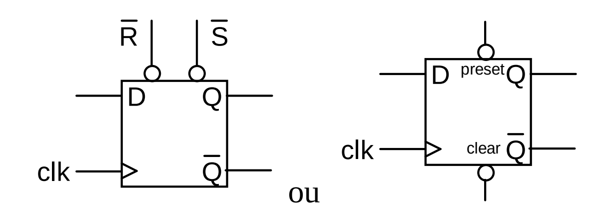
S	R	Q^+
L	L	Q
L	H	L
H	L	H
H	H	Interdit





On dit que R = S = 1 conduit à un état de sortie indéterminée. L'équation caractéristique de cette bascule est $Q_+ = S+\overline{R}Q$.

2. La bascule D (ex: 7474)



clk —▷	Entrée d'Horloge sur front montant
clk —o▷	Entrée d'Horloge sur front descendant
$\overline{R}$	Entrée active sur l'état Bas

Il existe deux entrées supplémentaires : le signal d'horloge ou signal de commande noté CLK (clock), ou H (Horloge) et l'entrée D.

Sous l'effet de la commande, l'état de D est recopié sur la sortie Q et son complément sur $\overline{Q}$. L'équation est $Q^{+}=D$

Selon le type de la bascule cet effet ne se passe que sur le front montant d'horloge (passage de H du niveau logique 0-au niveau logique 1: ↑ ou sur le front descendant ↓)

Exemple: 74LS74 → D type edge (sur front) triggered (déclenché) flip-flop (bascule) with preset (mise à 1) and clear (mise à 0)

$\overline{R}$ et $\overline{S}$ sont des entrées de forçage asynchrones actives à l'état bas

- $\overline{R}$ force la sortie Q à 0 quels que soient D et CLK,
- $\overline{S}$ force la sortie Q à 1 quels que soient D et CLK,
- $\overline{R}$ et $\overline{S}$ à 0, l'état de la sortie est indéterminé (0 ou 1 ?)

3. La bascule JK (ex: 74112)

J-K Negative edge triggered flip flop with preset and clear

Equation : $Q^{+}=J\overline{Q}+\overline{K}Q$

clk	J	K	$\overline{Preset}$	$\overline{Clear}$	Q^{+}
↓	L	L	H	H	Q
↓	L	H	H	H	L
↓	H	L	H	H	H
↓	H	H	H	H	$\overline{Q}$
H	X	X	H	H	Q
X	X	X	L	H	H
X	X	X	H	L	L

Rappels

Il existe actuellement deux familles prépondérantes de circuits logiques qui correspondent à deux techniques différentes de réalisation pratique (sous forme intégrée) des diverses fonctions de logique usuelles. Nous avons les circuits **TTL** (Transistor Transistor Logic) et les circuits **CMOS** (Complementary Metal Oxyd Serniconductor)

- Les circuits CMOS (exemple: 74HC516 en High CMOS ou 14516 en CMOS Standard) ont deux tensions d'alimentation V_{SS} et V_{DD}. En général Vss = 0 V et on peut choisir V_{DD} entre 3V à 15V. Pour certains circuits, V_{DD} peut même être élevée jusqu'à 18 V.
- Les circuits TTL (exemple 74**LS**112 en Low-power Schottky ou 74**F**112 en TTL Fast) ont les deux tensions d'alimentation : GND = 0V et Vcc = + 5V.

Dans la manipulation nous avons choisi V_{DD} = 5v, Vss = 0V.

II Consignes

Préparation

Lisez attentivement le sujet avant la séance

Pour chaque question :
- Préparer les schémas de câblage en indiquant le numéro des broches sur le schéma.
- Déterminer les résultats que vous pensez obtenir lors de la séance.

Un travail bien préparé permet une meilleure compréhension du TP et également une meilleure rédaction. Un compte rendu de travaux pratiques n'est pas seulement une suite de résultats mais comprend aussi des **commentaires** et des **conclusions**.

Matériel

- Carte "carillon",
- pupitre de test électronique analogique et numérique,
- un oscilloscope,
- circuits : 74LS00, 74LS74

Le pupitre est équipé d'une plaquette de 2712 connexions sans soudure amovible, d'une alimentation continue réglable 0, +15V, -15V et d'une alimentation continue 0, + 5V et -5 V fixe, d'un générateur de fonction, de deux afficheurs 7 segments, de huit diodes électroluminescentes leds, de 2 générateurs d'impulsion, de 8 simulateurs d'état 0, 1 et d'un haut-parleur 0,25 W/8Ω.

Lecture d'une documentation

La documentation des circuits est donnée en annexe. Vous y trouverez un descriptif du circuit, la table de vérité, le brochage du circuit et toutes les caractéristiques électriques du circuit (Voir V_{IL}, V_{IH}, V_{OL}, V_{OH}, V_{CC})

Évidemment ces documents sont rédigés en anglais et ce sera toujours le cas. Relativisez, il vaut mieux de l'anglais que du japonais ! Cela arrive, hélas !

Étudiez ces divers documents sérieusement. Utilisez le schéma comme fil conducteur. L'objectif est d'apprendre à lire des notices et de vous montrer comment lire des schémas pour comprendre le fonctionnement des composants et leur rôle dans les circuits. Progressivement vous arriverez à modifier puis à concevoir des circuits complexes.

Remarques importantes pour les TPs de logique (Rappels)

Avant de commencer un-câblage de circuits logiques il est nécessaire de faire un **schéma clair** et complet des circuits logiques physiques (et non de principe) et des liaisons qui interviennent dans la fonction à réaliser. Il faut donc y **indiquer les numéros des broches** de connexion des différents CI physiques (Circuits Intégrés) et ne pas oublier les broches d'alimentation des CI.

Pendant le câblage il est nécessaire de **couper l'alimentation** et de repérer au fur et à mesure les connexions établies.
Pour éviter toute destruction ou détérioration des CI il importe

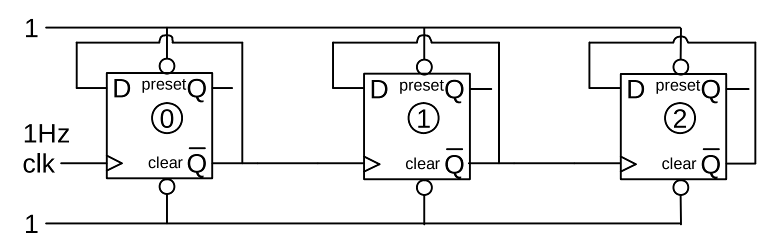
- de ne jamais dépasser une tension d'alimentation de 5,5 V pour les CI en TTL,
- de ne jamais appliquer des tensions négatives ni en entrée ni en alimentation (TTL et CMOS),
- de ne jamais porter à l'entrée d'un CI une tension supérieure à sa tension d'alimentation,
- de ne jamais forcer une sortie d'un CI (c'est-à-dire de ne jamais relier une sortie directement à la tension d'alimentation),
- de ne jamais retirer le CI de son support lorsqu'il est en fonctionnement,
- de prendre soin aux broches de connexions dont la rupture mécanique est très courante.

Il est conseiller de tester les puces avant de les utiliser pour un câblage complexe.

III. MANIPULATION

1. Réalisation et étude d'un compteur modulo 8

- Dessinez le schéma de câblage du montage ci-dessous utilisant des bascules D (74LS74)



- Câblez le montage sur le pupitre. Prendre 1 Hz comme fréquence d'horloge. Il est fortement conseillé de câbler les bascules une par une en vérifiant à chaque le bon fonctionnement.
- Visualisez grâce aux diodes électroluminescentes puis à l'afficheur 7 segments du pupitre de tests les états successifs des sorties Q_2, Q_1, Q_0
- Vérifiez qu'ils correspondent bien à ceux d'un compteur modulo 8.
- Que se passe-t-il si on augmente la fréquence d'horloge ?
- Pour différentes fréquences d'horloge observer à l'oscilloscope les sorties Q_2, Q_1, Q_0. Vérifiez les niveaux des tensions: correspondent-ils à la documentation technique?
- Le compteur est-il synchrone ou asynchrone? (Réponse à partir du schéma mais aussi des tracés à l'oscilloscope)
- Etudiez de même le compteur de la carte "carillon". Quel est à votre avis l'avantage d'avoir un compteur synchrone comparé à un compteur asynchrone?
- Comment peut-on réaliser un compteur synchrone?
- Visualisez grâce à l'afficheur 7 segments $\overline{Q_2}, \overline{Q_1}, \overline{Q_0}$ Que constatez-vous ?

2. Séquenceur d'un distributeur de boissons.

- Câblez le système séquentiel trouvé en TD.
- Vérifier le fonctionnement du circuit.

FAIRCHILD
SEMICONDUCTOR ™

March 1998

DM74LS00
Quad 2-Input NAND Gates

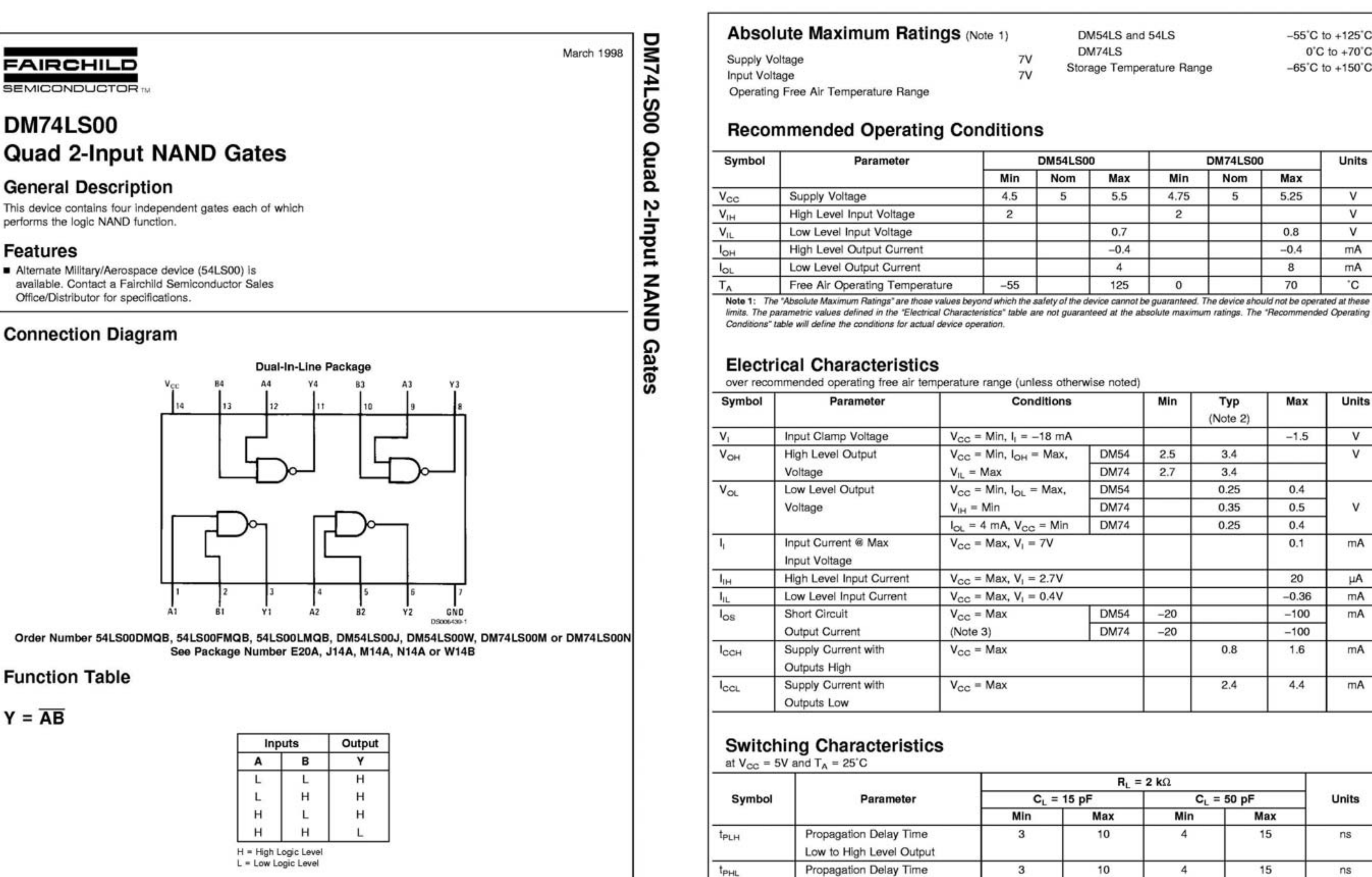
General Description

This device contains four independent gates each of which performs the logic NAND function.

Features

- Alternate Military/Aerospace device (54LS00) is available. Contact a Fairchild Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS00DMQB, 54LS00FMQB, 54LS00LMQB, DM54LS00J, DM54LS00W, DM74LS00M or DM74LS00N
See Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level
L = Low Logic Level

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V		
Input Voltage	7V		
Operating Free Air Temperature Range		DM54LS and 54LS	−55°C to +125°C
		DM74LS	0°C to +70°C
Storage Temperature Range			−65°C to +150°C

Recommended Operating Conditions

Symbol	Parameter	DM54LS00			DM74LS00			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Note 1: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 3)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			0.8	1.6	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			2.4	4.4	mA

Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

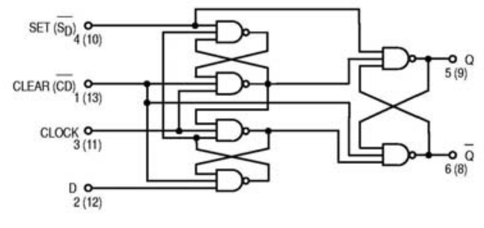
MOTOROLA

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

The SN54/74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and Q outputs.

Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

LOGIC DIAGRAM (Each Flip-Flop)



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS S_D	INPUTS S_D	INPUTS D	OUTPUTS Q	OUTPUTS $\overline{Q}$
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

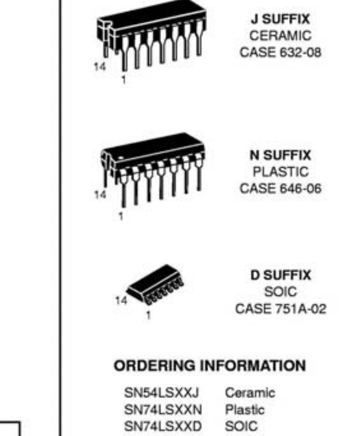
* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH}.

H, h = HIGH Voltage Level
L, l = LOW Voltage Level
X = Don't Care
l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

SN54/74LS74A

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY



J SUFFIX CERAMIC CASE 632-08

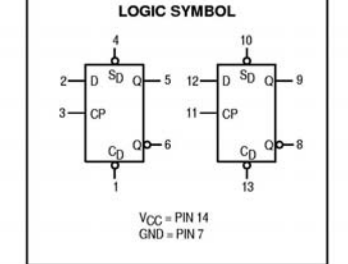
N SUFFIX PLASTIC CASE 646-06

D SUFFIX SOIC CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input High Current Data, Clock Set, Clear				20 40	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Data, Clock Set, Clear				0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Data, Clock Set, Clear				−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Output Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				8.0	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

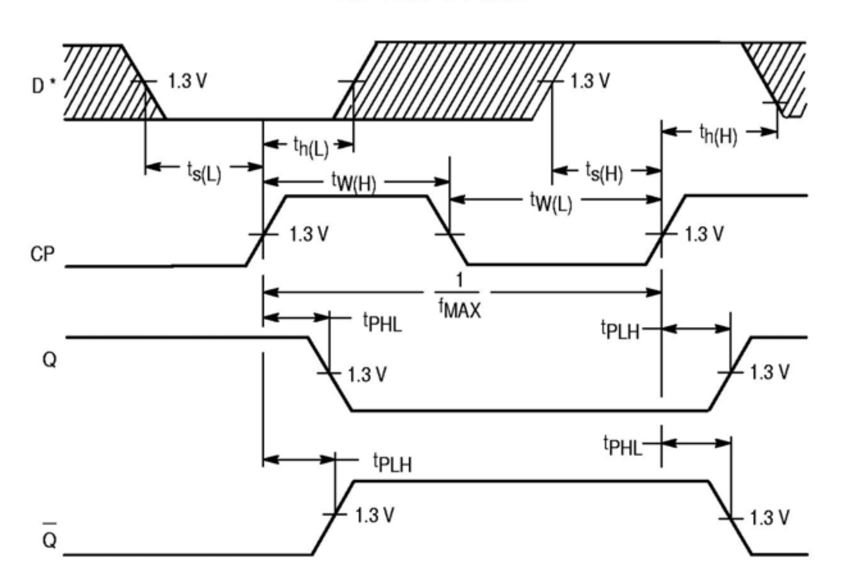
Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
f_{MAX}	Maximum Clock Frequency	25	33		MHz	Figure 1	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Clock, Clear, Set to Output		13 25	25 40	ns ns	Figure 1	

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
$t_{W(H)}$	Clock	25			ns	Figure 1	V_{CC} = 5.0 V
$t_{W(L)}$	Clear, Set	25			ns	Figure 2	
t_s	Data Setup Time — HIGH LOW	20 20			ns ns	Figure 1	
t_h	Hold Time	5.0			ns	Figure 1	

SN54/74LS74A

AC WAVEFORMS



*The shaded areas indicate when the input is permitted to change for predictable output performance.

Figure 1. Clock to Output Delays, Data Set-Up and Hold Times, Clock Pulse Width

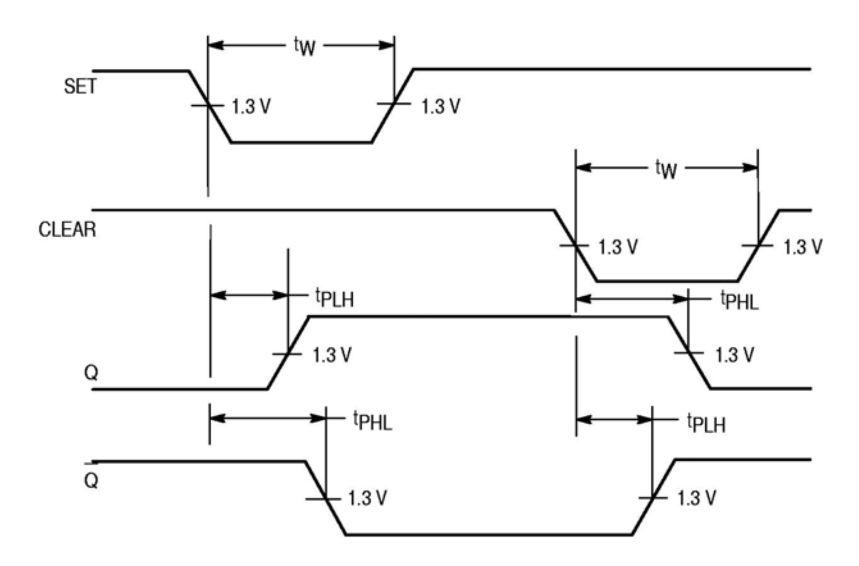


Figure 2. Set and Clear to Output Delays, Set and Clear Pulse Widths